

Universität Karlsruhe
Institut für Technische Informatik
Prof. Dr. Wolfgang Karl

Klausur Rechnerstrukturen
Sommersemester 2005
Aufgabenteil

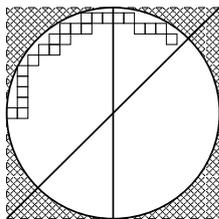
Aufgabe 1: Schaltungssynthese und Produktion

15P

Schaltungssynthese:

- Unter Vernachlässigung eventuell benötigter Bibliothekseinbindungen: Aus welchen zwei Blöcken besteht eine VHDL-Schaltungsbeschreibung mindestens und was ist deren Funktion? 1P
- Innerhalb einer Schaltungsbeschreibung darf einer der beiden Blöcke mehrfach vorkommen. Welcher ist dies und wozu wird dies genutzt? 1P
- Was ist bei der Deklaration eines Prozesses zu beachten und warum? 1P
- Welche beiden grundsätzlichen Entwurfsschritte können in VHDL beschrieben werden und worauf muss hierbei besonders geachtet werden? 1P

Produktion:



Eine Wafer-Fertigungsanlage soll von 200mm- auf 300mm-Wafer umgestellt werden. Der Fertigungsprozess wird hierbei nicht verändert, der zugehörige Technologiefaktor α sei 1, die Fehlerquote (*defects per unit area*) betrage $0.5/cm^2$ und die Wafer-Ausbeute (*yield*) betrage 75%. Der zu fertigende Die habe eine Fläche von $a_{die} = 2cm^2$.

- Die Abbildung zeigt schematisch die Situation bei der Die-Fertigung: Einem runden Wafer werden (oBdA) quadratische Dies einbeschrieben. Sei $A = \frac{\pi \cdot (d_{wafer} \cdot \frac{1}{2})^2}{a_{die}}$ die maximale Anzahl der Dies, die auf der zur Verfügung stehenden Kreisfläche untergebracht werden können. $B = \frac{\pi \cdot (d_{wafer})}{\sqrt{2 \cdot a_{die}}}$ sei die Anzahl der Dies am Flächenrand, die nichtmehr vollständig auf der Kreisfläche untergebracht werden können. Geben Sie die hieraus resultierende Formel für die Berechnung der erzielbaren Dies pro Wafer dpw an. 1P
- Berechnen Sie für beide Wafergrößen die erzielbare Anzahl von Dies pro Wafern. Geben Sie das Ergebnis als Vielfaches von π an. 2P
- Errechnen Sie den Die-Yield für die gegebenen Parameter. 2P
- Errechnen Sie die Kosten pro Die für 200 und 300mm-Technologie unter der Annahme, dass die Wafer-Kosten pro Millimeter Durchmesser mit 1 Euro zu veranschlagen sind. Der Dies-per-Wafer-Wert für diese Aufgabe betrage 125 für 200mm und 250 für 300mm. Der Die-Yield betrage 20%. 3P
- Berechnen Sie basierend auf den errechneten Werten der vorherigen Aufgabe die durch die Umstellung auf 300mm-Wafer erzielte Kostenreduzierung pro IC. Die Kosten für das Packaging pro IC betragen 75 Cent, der Kostenanteil für Testen des einzelnen Dies sei 1 Euro und die Gesamtausbeute sei 75%. 3P

Aufgabe 2: Leistungsanalyse von Rechensystemen

11P

Die Taktrate zweier zu vergleichender Prozessoren betrage 2,5GHz. Für ein Programm werden folgende Werte gemessen: Der CPI-Wert für Prozessor 1 beträgt 0,75; der CPI-Wert von Prozessor 2 beträgt 1,5.

- a) Welche Aussage lässt sich aufgrund dieser Angaben hinsichtlich der Architektureigenschaften von Prozessor 1 anstellen und warum? *1P*
- b) Prozessor 2 verfüge über Instruktions-Pipelining. Was sind mögliche Ursachen für den geringen Durchsatz? Schlüsseln Sie diese in drei Kategorien auf. *2P*
- c) Für das ausgeführte Programm wurden 1,5 Mio Befehle gezählt. Berechnen Sie unter der Voraussetzung, dass beide Prozessoren einen identischen Befehlssatz aufweisen, die CPU-Zeit des Programms auf dem jeweiligen Prozessor. *3P*
- d) Ermitteln Sie die MIPS-Werte für die beiden Prozessoren. *1,5P*

Bei einem Mikroprozessor mit Pipelining-Organisation können verschiedene Pipeline-Hemmnisse auftreten. Diesen kann entsprechend begegnet werden.

- e) Welches ist die einfachste Möglichkeit, ein Pipeline-Hemmnis zu behandeln und warum ist diese nach Möglichkeit zu vermeiden? *1P*
- f) Ausgehend von der 5-stufigen exemplarischen Pipeline: Das Hemmnis ergebe sich dadurch, dass das in der Ausführungsstufe errechnete Ergebnis noch nicht zurückgeschrieben wurde und von nachfolgenden Befehlen benötigt wird. Welche Art Abhängigkeit liegt hier vor und wie kann sie in Software bzw. Hardware behoben werden? *1,5P*
- g) Mit welchen hardwarebasierten Techniken wird versucht, die Auswirkungen von Steuerkonflikten bezüglich der Ausführungszeit zu minimieren und warum? *1P*

Aufgabe 3: Rechnerarchitektur

14P

Folgendes Codefragment werde abgearbeitet:

```

        LOAD R0, 0      ; R0=0
        LOAD R1, 0x4    ; R1=4
        LOAD R2, 1      ; R2=1
loop:   AND  R3, R1, R2  ; R3=R1^1
        CMP  R3, R0     ; R3=0?
        BREQ skip      ; S1: goto skip if R3==0
        STORE mem, R1   ; mem←R1
skip:   SUB  R1, R1, R2  ; R1=R1-1
        CMP  R1, R0     ; R1=0?
        BRNEQ loop     ; S2: goto loop if R1!=0

```

- Welches grundsätzliche Problem ergibt sich bei der Abarbeitung von geschachtelten Schleifen bei der Verwendung von dynamischer 1-Bit-Sprungvorhersage und welche statische "Vorhersage" wäre effektiver? *1P*
- Welchen Typ von Prädiktor würden Sie für die Abarbeitung von Programmen mit häufig vorkommenden und wechselseitig abhängigen IF-Abfragen wählen und warum? *1P*
- Welche Funktion erfüllt dieses Programmfragment? *1P*
- Ermitteln Sie für einen vierfachen Durchlauf der Schleife das auftretende Sprungverhalten für die Sprünge S1 und S2. *2P*
- Der Prozessor verfüge über einen (1,1)-Korrelationsprädiktor. Dieser sei zu Beginn für Sprung 1 mit (NT,T), für Sprung 2 mit (T,NT) initialisiert. Der letzte vor Eintritt in das Codefragment stattgefundene Sprung sei genommen worden. Beschreiben Sie den Ablauf der Sprungvorhersage in der auf dem Lösungsblatt angegebenen Tabelle. *4P*
- Wie verhält sich der Korrelationsprädiktor in diesem Beispiel und warum? *1P*
- In welchen zwei Parametern ließe sich der Korrelationsprädiktor verändern, um für dieses Code-Fragment eine bessere Sprungvorhersage zu erzielen und welche Wirkung hätte die Parameteränderung? *2P*
- Welche zwei Arten von 2-Bit-Prädiktoren existieren und worin unterscheiden sich diese? *2P*

Aufgabe 4: Parallelverarbeitung

10P

Ausnutzung von ILP:

- a) Ausgehend von der Klassifikation nach Flynn: In was für eine Kategorie fallen MMX-Befehle und warum? 1P

Ein zu parallelisierendes Programm enthalte folgende Schleife:

```
for (i=0; i<5; i++)
{
    X[i]=X[5*i+5]*7;
}
```

- b) Ermitteln Sie mithilfe des GCD-Verfahrens wie in der Übung besprochen, ob dieser Code schleifengetragene Abhängigkeiten enthält oder nicht. 1P
- c) Ungeachtet des von Ihnen berechneten Ergebnisses: Wieso ist der GCD-Test für diese spezielle Schleife nicht aussagekräftig? 1P

Obiger Schleifenkörper enthalte statt der aufgeführten die allgemeine Zuweisung $X[i]=X[i-k]$.

- d) Welchen Wert bezeichnet k und welche Aussagekraft besitzt er? 1P
- e) k habe den Wert 7. Was bedeutet dies grundsätzlich für den Grad des ausnutzbaren Parallelismus und welche abweichende Beobachtung ist für das vorliegende Codefragment zu machen? 1P

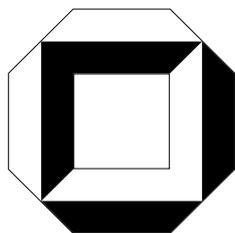
Verbindungsnetzwerke:

- f) Geben Sie die 3 Kenngrößen – jeweils mit kurzer Erklärung – an, die zur Latenz eines Verbindungsnetzwerkes beitragen können. 3P
- g) In einem Hyperkubus mit Dimension 3 werde e-cube Routing verwendet. 2P
- Geben Sie Komplexität und Diameter für diesen Hypercubus an. (1P)
 - Verbinden Sie die Knoten 5 und 6: Geben Sie hierfür die vollständige Wegstreckenberechnung und beide Verbindungspfade an. (1P)

Aufgabe 5: Cache-Systeme

10P

- a) Warum werden bei nachrichtengekoppelten Multiprozessorsystemen keine Cache-Kohärenzverfahren über Knotengrenzen eingesetzt? 1P
- b) Welche zwei grundsätzlichen Hardware-Erweiterungen müssen am Cache vorgenommen werden, um das MESI-Protokoll zu unterstützen? 1P
- c) Gegeben sei ein speichergekoppeltes Multiprozessorsystem mit 2 Prozessoren, welche über einen Bus mit einem gemeinsamen Speicher verbunden sind. Zur Wahrung der Cache-Konsistenz wird das MESI-Protokoll verwendet. 4P
Die Caches der beiden Prozessoren haben je eine Größe von zwei Cache-Zeilen, die jeweils genau ein Speicherwort aufnehmen können. Die Cache-Zeilen werden von der niedrigsten zur höchsten Cache-Zeile aufwärts gefüllt, sofern freie Zeilen zur Verfügung stehen. Ist der Cache voll besetzt, wird gemäß LRU-Strategie verdrängt und überschrieben. Ergänzen Sie die im Lösungsblatt abgedruckte Tabelle unter Verwendung der Abkürzungen M, E, S und I für die 4 Zustände des MESI-Protokolls und geben Sie die jeweils betroffene Adresse an.
- d) Wann kann ein Wechsel von Zustand M nach S auftreten? Beschreiben Sie den konkreten Ablauf anhand eines Zweiprozessorsystems bestehend aus P1 und P2. 2P
- e) Der Hauptspeicher eines Systems sei mit 200ns Zugriffszeit sehr langsam. Abhilfe soll die Installation eines Cache-Systems mit 2 Ebenen (L1/L2) sorgen. Für den L1-Cache gelte eine Trefferrate (*hit rate*) von 0,75 und eine Zugriffszeit von 2ns; der L2-Cache habe eine Trefferrate von 0,8 und eine Zugriffszeit von 5ns. Berechnen Sie die sich ergebende durchschnittliche Zugriffszeit t_a und die sich hierdurch ergebende Beschleunigung. 2P



Universität Karlsruhe
Institut für Technische Informatik
Prof. Dr. Wolfgang Karl

Klausur Rechnerstrukturen

Sommersemester 2005

Lösungsteil

Name: _____
Vorname: _____
Matrikelnummer: _____

Tragen Sie bitte auf jedem Blatt Ihren Namen und Ihre Matrikelnummer ein. Bitte tragen Sie alle Lösungen und Rechenwege an den vorgesehen Stellen ein und geben Sie keine zusätzlichen Blätter ab, ohne dies dem Aufsichtspersonal mitzuteilen.

Hinweis: Bei Rechenaufgaben ist die Angabe des Rechenwegs zwingend erforderlich. Ergebnisse ohne Rechenweg werden **nicht** gewertet.

Zum Bestehen der Klausur sind mindestens 20 Punkte erforderlich.

- () Ich wünsche die Notenveröffentlichung per Aushang (Matrikelnummer und Note) am schwarzen Brett
(Bei Nichtankreuzen kann die Note erst in der Klausureinsicht erfragt werden.)

Erreichte Punkte (wird vom Institut ausgefüllt):

Aufgabe	1	2	3	4	5
Punkte	/15	/11	/14	/10	/10
Summe:					/60

Lösung 1: Schaltungssynthese und Produktion*15P*

a) Antwort:

1P

b) Antwort:

1P

c) Antwort:

1P

d) Antwort:

1P

e) Formel für Dies pro Wafer (dpw):

*1P*f) Berechnung dpw_{200} :*2P*Berechnung dpw_{300} :

g) Formel für Die-Yield:

2P

Berechnung:

h) Formel für Die-Kosten:

3P

Kosten für 200mm-Fertigung:

Kosten für 300mm-Fertigung:

i) Formel für IC-Kosten:

3P

Kosten für 200mm-Fertigung:

Kosten für 300mm-Fertigung:

Einsparung:

Lösung 2: Leistungsanalyse von Rechensystemen*11P*

a) Antwort:

1P

b) Erklärung allgemein:

2P

Kategorie 1:

Kategorie 2:

Kategorie 3:

c) Ausgangsformel:

3P

Berechnung 1:

Berechnung 2:

d) Ausgangsformel:

1,5P

Berechnung 1:

Berechnung 2:

e) Antwort:

1P

f) Antwort:

1,5P

g) Antwort:

1P

Lösung 3: Rechnerarchitektur*14P*

a) Antwort:

1P

b) Antwort:

1P

c) Antwort:

1P

d)

2P

Durchlauf	Register R3	Sprung S1	Register R1	Sprung S2
1				
2				
3				
4				

e) (Tabelle umseitig)

4P

Name:

Matrikelnummer:

7/11

Durchlauf	S1				S2			
	Präd. alt	Vhs.	Sprung	Präd. neu	Präd. alt	Vhs.	Sprung	Präd. neu
1								
2								
3								
4								

Hinweis: Präd.=Zustand des Prädiktors, Vhs.=Vorhersage

f) Antwort:

1P

g) Antwort:

2P

h) Antwort:

2P

Lösung 4: Parallelverarbeitung

10P

a) Antwort:

1P

b)

1P

	a	b		c	d
X[i]			X[5*i+5]		

Berechnung GCD-Test (mit Ergebnis und Begründung):

c) Antwort:

1P

d) Antwort:

1P

e) Antwort:

1P

f) (nächste Seite)

3P

Name:

Matrikelnummer:

9/11

1.

2.

3.

g) Komplexität:

2P

Diameter:

Berechnung:

Lösung 5: Cache-Systeme

10P

a) Antwort:

1P

b) 1.

1P

2.

c) (Tabelle umseitig)

4P

d) Antwort:

2P

Schritt 1:

Schritt 2:

Schritt 3:

Prozessor	Aktion	Prozessor/Cache 1		Prozessor/Cache 2	
		Line 1	Line 2	Line 1	Line 2
-	(init)	E/8	I/-	I/-	E/6
2	wr 2				
1	wr 8				
1	rd 10				
2	rd 8				
1	wr 8				
2	wr 10				
2	rd 18				
1	rd 18				

e) Formel für t_a :

2P

Berechnung t_a :

Berechnung Beschleunigung: